



SCHWEIZERISCHE EIDGENOSSENSCHAFT
BUNDESAMT FÜR GEISTIGES EIGENTUM

51 Int. Cl.: G 05 F 3/02
H 01 L 23/56

Erfindungspatent für die Schweiz und Liechtenstein
Schweizerisch-liechtensteinischer Patentschutzvertrag vom 22. Dezember 1978



12 PATENTSCHRIFT A5

11

623 671

21 Gesuchsnummer: 8774/77

22 Anmeldungsdatum: 15.07.1977

30 Priorität(en): 21.07.1976 US 707277
21.07.1976 US 707278

24 Patent erteilt: 15.06.1981

45 Patentschrift
veröffentlicht: 15.06.1981

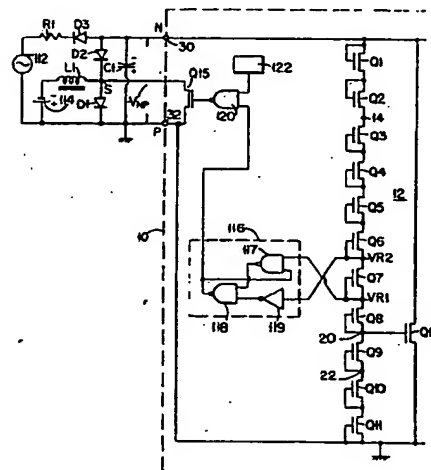
73 Inhaber:
General Electric Company, Schenectady/NY
(US)

72 Erfinder:
Daniel William Dobberpuhl, Liverpool/NY (US)
Donald Leland Watrous, Liverpool/NY (US)

74 Vertreter:
Ritscher & Seifert, Zürich

54 Schaltungsanordnung zum Stabilisieren der Speisespannung für mindestens eine elektronische Schaltung.

57 Es wird eine Schaltungsanordnung zum Stabilisieren der Speisespannung für die Schaltungen auf einem Chip beschrieben, die zum überwiegenden Teil aus Bauelementen besteht, die auf dem Chip angeordnet sind und die in den gleichen Arbeitsgängen wie die anderen Bauelemente auf dem Chip hergestellt werden können. Diese Schaltungsanordnung enthält eine Mehrzahl zu einer Kaskade (12) geschaltete Feldeffekttransistoren (Q1 bis Q11) sowie einen an einen Abgriff (20) der Kaskade angeschlossenen und ebenfalls als Feldeffekttransistor ausgebildeten Nebenschlussregler (Q12), der bewirkt, dass die Spannung über der Kaskade auf einen vorgegebenen Wert stabilisiert wird. Bei einer bevorzugten Ausführungsform ist weiter eine Hilfsspannungsquelle (114) vorgesehen, die mittels einer von der Kaskade gesteuerten Verriegelungsschaltung (116) über ein Tor (120) angesteuert wird, um einen Kondensator (C1) aufzuladen, damit die stabilisierte Speisespannung für die elektronischen Kreise auf dem Chip auch dann nicht unterbrochen wird, wenn die primäre Spannungsquelle (112) ausfällt.



PATENTANSPRÜCHE

1. Schaltungsanordnung zum Stabilisieren der Speisespannung für mindestens eine auf einem Chip angeordnete integrierte elektronische Schaltung, gekennzeichnet durch eine zum Anschliessen an eine externe, nichtstabilisierte Speisespannungsquelle (112) vorgesehene Serieschaltung, enthaltend einen Widerstand (R1), der zwischen dem einen Anschluss dieser nichtstabilisierten Speisespannungsquelle und einem auf dem Chip (10) angeordneten Anschlusspunkt (30) für die stabilisierte Spannung ($-V_{NP}$) liegt, und eine Kaskade (12), die aus einer Mehrzahl Feldeffekttransistoren (Q1, Q2) vom Anreicherungstyp und einer dazu in Serie geschalteten Mehrzahl Feldeffekttransistoren (Q3 bis Q11) vom Verarmungstyp gebildet ist, wobei jeder der Feldeffekttransistoren vom Anreicherungstyp als Diode und jeder der Feldeffekttransistoren vom Verarmungstyp als Widerstandszweigpol geschaltet ist, so dass die Verbindungspunkte (16 bis 22) zwischen den Feldeffekttransistoren vom Verarmungstyp zum Abnehmen der Spannung für die genannte elektronische Schaltung (26, 28) geeignete Abgriffspunkte eines Spannungsteilers bilden, sowie durch einen als Triode geschalteten Feldeffekttransistor (Q12) vom Anreicherungstyp, der als Nebenschlussregler wirkt, wozu dessen Source-Drain-Pfad parallel zur Kaskade geschaltet und dessen Gate mit einem zwischen einem Massepunkt (32) und dem Anschlusspunkt (30) angeordneten Abgriffspunkt (22, 20) verbunden ist, und dadurch, dass die Feldeffekttransistoren entweder vom p-Kanal-Typ oder vom n-Kanal-Typ sind.

2. Schaltungsanordnung nach Anspruch 1, dadurch gekennzeichnet, dass in der Kaskade bei jedem Anreicherungstyp-Transistor (Q1, Q2) das Gate mit dem Drain verbunden ist und an jedem Verarmungstyp-Transistor (Q3 bis Q11) das Gate mit der Source verbunden ist, dass ferner das Drain des Anreicherungstyp-Transistors (Q1) am einen Ende der Kaskade an den Anschlusspunkt (30) für die stabilisierte Spannung und das Source des Verarmungstyp-Transistors (Q11) am anderen Ende der Kaskade am Massepunkt (32) angeschlossen ist.

3. Schaltungsanordnung nach Anspruch 1, dadurch gekennzeichnet, dass die Verbindungen der Transistoren (Q1 bis Q11) in der Kaskade Leiterverbindungen sind.

4. Schaltungsanordnung nach Anspruch 1, dadurch gekennzeichnet, dass das Gate des als Nebenschlussregler verwendeten Transistors (Q12) mit dem zuvor genannten Abgriffspunkt (20) der Kaskade, das Drain mit dem Anschlusspunkt (30) und das Source mit dem Massepunkt (32) verbunden ist.

5. Schaltungsanordnung nach Anspruch 1, dadurch gekennzeichnet, dass die Kaskade eine grössere Anzahl an Verarmungstyp-Transistoren (Q3 bis Q11) als an Anreicherungstyp-Transistoren (Q1, Q2) aufweist.

6. Schaltungsanordnung nach Anspruch 1, dadurch gekennzeichnet, dass der Widerstand (R1) einen Wert im Bereich von 10 000 bis 50 000 Ohm hat.

7. Schaltungsanordnung nach Anspruch 1, gekennzeichnet durch einen parallel zur Kaskade geschalteten Kondensator (C1).

8. Schaltungsanordnung nach Anspruch 7, dadurch gekennzeichnet, dass die Speisespannungsquelle eine Wechselspannungsquelle (112) ist und die Serieschaltung ferner eine zwischen dem Widerstand (R1) und der Kaskade (12) geschaltete Gleichrichterdiode (D3) aufweist.

9. Schaltungsanordnung nach Anspruch 8, dadurch gekennzeichnet, dass zum Erzeugen einer konstanten Spannung am Anschlusspunkt (30) auch beim Ausfallen der Speisespannungsquelle (112) eine Bereitschaftsgleichstromquelle (114) vorgesehen ist, die mit einem Gleichstrom-Gleichstrom-Konverter zusammenwirkt, der beim Erregen die Spannung von der Bereitschaftsgleichstromquelle auf einen höheren Wert transformiert und über eine zweite Diode (D2) an einen zwischen dem Widerstand (R1) und dem Anschlusspunkt (30) angeschlos-

senen Kondensator (C1) leitet, um dessen Spannung zu erhalten und durch an den Verarmungstyp-Transistorzweig (12b) der Kaskade angeschlossene Mittel (116) zum Erregen und Entregen des Gleichstrom-Gleichstrom-Konverters, wenn die Spannung am Kondensator (C1) auf einen Minimumschwellwert (124) abgeklungen ist bzw. wieder eine Maximumschwellwert (123) erreicht hat.

10. Schaltungsanordnung nach Anspruch 9, dadurch gekennzeichnet, dass die Mittel zum Erregen und Entregen eine auf dem Chip (10) angeordnete bistabile Verriegelungsschaltung (116) vom Hysterese-Typ enthalten, welche Schaltung mit zwei der Abgriffspunkte der Kaskade (12b) verbunden ist und von ihrem normalen Zustand in einen anderen Zustand umschaltet, wenn die Spannungen (VR1, VR2) an den zwei Abgriffspunkten auf voreingestellte Minimumschwellenwerte absinken bzw. in ihrem normalen Zustand zurückschaltet, wenn die Spannungen (VR1, VR2) auf voreingestellte Maximalschwellenwerte ansteigen.

11. Schaltungsanordnung nach Anspruch 10, dadurch gekennzeichnet, dass auf dem Chip (10) ein Impulsgenerator (122), ein logisches Tor (120) und ein weiterer, im Schaltbetrieb arbeitsfähiger Anreicherungstyp-Feldeffekttransistor (Q15) angeordnet sind, welches Tor (120) beim Umschalten der Verriegelungsschaltung (116) in den anderen Zustand aufgetastet wird, um von dem Impulsgenerator (122) zugeleitete Impulse zum Gate des weiteren Transistors (Q15) zu leiten, um beim Zurückschalten der Verriegelungsschaltung in den normalen Zustand wieder gesperrt wird, ferner durch eine Induktivität (L1), die an die Bereitschaftsbatterie (114) angeschlossen und mit dem Source-Gate-Pfad des weiteren Transistors (Q15) in Serie geschaltet ist, wobei die zweite Diode (D2) an den Verbindungspunkt (S) der Induktivität (L1) mit dem weiteren Transistor (Q15) angeschlossen ist.

12. Schaltungsanordnung nach Anspruch 11, gekennzeichnet durch eine parallel zum Source-Drain-Pfad des weiteren Transistors (Q15) liegende Klemmdiode (D1) zum Begrenzen der Spannungsamplitudenverläufe.

Die vorliegende Erfindung betrifft eine Schaltungsanordnung zum Stabilisieren der Speisespannung für mindestens eine auf einem Chip angeordnete elektronische Schaltung, welche Spannungsquelle zum grösseren Teil auf demselben Metall-Oxid-Halbleiter-Chip hoher Packungsdichte ausgebildet werden kann, auf dem auch die mit der stabilisierten Spannung gespeisten elektronischen Schaltungen integriert sind.

Integrierte elektronische Schaltungen werden vorzugsweise in Metall-Oxid-Silizium-Bauweise ausgeführt und enthalten zahlreiche Feldeffekttransistoren, die nachfolgend auch als MOSFETs oder einfach als FETs bezeichnet werden und die dem gleichen «Kanaltyp» zugeordnet sind, d.h. die entweder einen p-Kanal oder einen n-Kanal aufweisen. Die FETs können als Anreicherungstyp oder als Verarmungstyp ausgebildet sein. Der Anreicherungstyp-FET erfordert eine minimale Gate-Source-Schwellenspannung, um eine Stromleitung zwischen der Source und dem Drain zu bewirken. Demgegenüber bewirkt beim Verarmungstyp-FET, wenn das Gate mit der Source verbunden ist, keine kleine Betriebsspannung eine relativ kleine Stromleitung im Source-Drain-Pfad, wobei die Beziehung zwischen der Source-Drain-Spannung und dem Source-Drain-Strom im wesentlichen linear oder quasiohmsch ist, d.h. dem ohmschen Gesetz folgt und der Widerstandswert oder die Impedanz in der Grössenordnung von 10^5 bis 10^8 Ohm liegt. Derart hohe Widerstandswerte können mit ohmschen Widerständen, die nach der gleichen Technik wie die integrierte

Schaltung hergestellt werden, nicht erreicht werden.

Die Betriebseigenschaften und insbesondere die Schwellenspannung der Feldeffekttransistoren auf den verschiedenen Halbleiterchips einer Herstellcharge weisen Toleranzen auf, die durch unvermeidbare Veränderungen in den physikalischen Parametern des Herstellverfahrens bedingt sind. Beispielsweise kann die Schwellenspannung für einen Anreicherungstyp-Feldeffekttransistor zwischen etwa 1 Volt und 2,5 Volt betragen. Werden solche FETs in digitalen Schaltungen beispielsweise als Tore, bistabile Flipflops usw. verwendet, dann kann ein Schwellenspannungsbereich von 1 bis 2,5 Volt die Verwendung derartiger Schaltungen erheblich beeinträchtigen. Das gilt insbesondere, wenn die Versorgungsspannung infolge irgendeiner Störung reduziert wird. Unter diesen Umständen können gewisse FETs, die eingeschaltet sein sollten, abgeschaltet werden und umgekehrt. Beispielsweise könnte ein Flipflop von einem binären «1»-Zustand zu einem binären «0»-Zustand oder umgekehrt umgeschaltet werden und in einem solchen falschen Zustand verbleiben, auch wenn die Versorgungsspannung wieder ihren normalen Betriebswert annimmt. Ein ähnliches Problem besteht, wenn eine Einschaltungsspannung an das Chip angelegt wird. Dann hat die Reihenfolge des Einschaltens und Ausschaltens von FETs einen wichtigen Einfluss bezüglich der Einstellung der Flipflops auf ihre richtigen Anfangszustände. Obwohl die Freigabesignale beim Einschalten gewöhnlich dieses Problem berücksichtigen, kann der erwähnte Bereich von 1 bis 2,5 Volt in Verbindung mit der Ungewissheit der erforderlichen Schwellenspannung für irgendeinen Anreicherungstyp-FET zu einer falschen Anfangseinstellung der Flipflops führen.

Um die erwähnten Probleme zu überwinden, war es bisher üblich, die Chips ausgedehnten und deshalb zeit- sowie kostenmässig aufwendigen Testprogrammen zu unterwerfen. Dabei wurden die Chips bezüglich der Schwellenspannungen ihrer Anreicherungstyp-FETs klassifiziert und ein gegebener Chip entweder mit einer zusätzlichen externen Kompensationsschaltung versehen oder ausgeschieden.

Der vorliegenden Erfindung liegt darum die Aufgabe zugrunde, Chips mit integrierten Schaltungen zu schaffen, bei denen die Notwendigkeit von Testprogrammen zur Klassifizierung entsprechend den Toleranzen der darauf angeordneten FETs sowie das Hinzufügen von Kompensationsschaltungen praktisch vermieden und die Zurückweisungs- bzw. Ausschussrate verringert werden können.

Erfindungsgemäss wird diese Aufgabe mit einer Schaltungsanordnung gelöst, die gekennzeichnet ist durch eine zum Anschliessen an eine externe, nichtstabilisierte Speisespannungsquelle vorgesehene Serieschaltung, enthaltend einen Widerstand, der zwischen dem einen Anschluss dieser nichtstabilisierten Speisespannungsquelle und einem auf dem Chip angeordneten Anschlusspunkt für die stabilisierte Spannung liegt, und eine Kaskade, die aus einer Mehrzahl Feldeffekttransistoren vom Anreicherungstyp und einer dazu in Serie geschalteten Mehrzahl Feldeffekttransistoren vom Verarmungstyp gebildet ist, wobei jeder der Feldeffekttransistoren vom Anreicherungstyp als Diode und jeder der Feldeffekttransistoren vom Verarmungstyp als Widerstandszweigpol geschaltet ist, so dass die Verbindungspunkte zwischen den Feldeffekttransistoren vom Verarmungstyp zum Abnehmen der Spannung für die genannte elektronische Schaltung geeignete Abgriffspunkte eines Spannungsteilers bilden, sowie durch einen als Triode geschalteten Feldeffekttransistor vom Anreicherungstyp, der als Nebenschlussregler wirkt, wozu dessen Source-Drain-Pfad parallel zur Kaskade geschaltet und dessen Gate mit einem zwischen einem Massepunkt und dem Anschlusspunkt angeordneten Abgriffspunkt verbunden ist, und dadurch, dass die Feldeffekttransistoren entweder vom p-Kanal-Typ oder vom n-Kanal-Typ sind.

Die erfindungsgemässe Schaltungsanordnung basiert auf zwei Erfahrungen. Für ein gegebenes Chip liegen die Schwellenspannungen für alle darauf angeordneten Anreicherungstyp-FETs in einem sehr begrenzten Toleranzbereich und können darum für praktisch alle Verwendungen als einheitlich angesehen werden. (Dagegen können die Schwellenspannungen von Chip zu Chip in dem zuvor erwähnten Bereich von bis 2,5 Volt liegen.) Weiter haben auf einem gegebenen Chip Verarmungstyp-FETs, die beim Betrieb als quasiohmische Widerstände geschaltet sind, nahezu einheitliche Widerstandswerte, obwohl diese Werte von Chip zu Chip in dem Bereich von 10^3 bis 10^8 Ohm schwanken können.

Die erfindungsgemässe Schaltungsanordnung kann mit Ausnahme des Widerstandes auf dem gleichen Chip und in der gleichen Technik wie die mindestens eine integrierte elektronische Schaltung angeordnet bzw. hergestellt und so ausgebildet werden, dass sie den sicheren Betrieb der Schaltung auch bei der extremen Schwellenspannung von 2,5 Volt ermöglicht. Eine neue Schaltungsanordnung ermöglicht auch, anstelle der bis gebräuchlichen, auf die Kennwerte der FETs mehreren Chips geregelte Versorgungsspannung für jedes Chip eine auf die Kennwerte der FETs dieses einen Chips geregelte Versorgungsspannung zu erzeugen, welche Spannung auch bei normalen Veränderungen zugeführten unregelmässigen Netzversorgungsspannung unverändert erhalten bleibt.

Eine bevorzugte Ausführungsform der Schaltungsanordnung, die insbesondere zum Zusammenwirken mit integrierter Speicherschaltungen vorgesehen ist, ist dadurch gekennzeichnet, dass in der Kaskade an jedem Anreicherungstyp-Transistor das Gate mit dem Drain verbunden ist und an jedem Verarmungstyp-Transistor das Gate mit der Source verbunden ist, dass ferner das Drain des Anreicherungstyp-Transistors am einen Ende der Kaskade an den Anschlusspunkt für die geregelte Spannung und das Source des Verarmungstyp-Transistors am anderen Ende der Kaskade an einen Referenzpotentialpunkt angeschlossen ist, und beim Betrieb des Spannungsreglers am einen Ende der Kaskade ein höheres Potential als am anderen Ende anliegt, so dass auch am Drain jedes Transistors in der Kaskade ein in bezug auf den Massepunkt höheres Potential als am entsprechenden Source liegt.

Diese bevorzugte Ausführungsform der Schaltungsanordnung ermöglicht, die in der zugeordneten mindestens einen integrierten Schaltung gespeicherten Daten zu bewahren, auch wenn die unregelmässige Versorgungsspannung ausfällt.

Nachfolgend werden bevorzugte Ausführungsbeispiele der Erfindung mit Hilfe der Figuren beschrieben. Es zeigen:

Fig. 1 das Schaltbild einer ersten Ausführungsform der erfindungsgemässen Schaltungsanordnung,

Fig. 2 das Schaltbild einer zweiten Ausführungsform der erfindungsgemässen Schaltungsanordnung mit einer zusätzlichen Bereitschaftsschaltung, die sich im Falle eines Ausfallens der primären Versorgungsquelle selbsttätig aktiviert und

Fig. 3 die grafische Darstellung der zeitlichen Veränderung der Ausgangsspannung des im Schaltbild gemäss Fig. 2 gezeigten Gleichstrom-Gleichstrom-Konverters, wenn die primäre Versorgungsquelle ausgefallen ist.

Für die in Fig. 1 und 2 gezeigten Schaltungen gilt, dass bei den dargestellten Metall-Oxid-Halbleiter-Feldeffekttransistoren (FETs) Q1 bis Q15 die in der Figur obere Elektrode das Drain und die in der Figur untere Elektrode das Source ist. Für beide Figuren gilt ferner, dass ein FET, dessen Drain mit dem Gate verbunden ist, ein FET vom Anreicherungstyp ist, und ein FET, dessen Source mit dem Gate verbunden ist, ist ein FET vom Verarmungstyp. Ferner ist ein FET, dessen Gate weder mit dem Source noch mit dem Drain verbunden ist, ein FET vom Anreicherungstyp.

Entsprechend hören die folgenden FETs zum Anreicherungstyp: a) Q1 und Q2, bei denen jeweils das Gate mit dem

entsprechenden Drain verbunden ist, und auch b) Q12, Q14 und Q15, bei denen das Gate weder mit dem Drain noch mit dem Source verbunden ist, und die folgenden FETs gehören zum Verarmungstyp: Q3 bis Q11 und Q14, bei denen jeweils das Gate mit dem entsprechenden Source verbunden ist. Diese Verbindungsart entspricht einer «Zweipolverbindung».

Die FETs Q1 bis Q15 (Fig. 1, 2) sind von einheitlichem «Kanaltyp», d.h. sie sind entweder alle vom p-Kanal-Typ, wenn die unregelmässige Gleichstromversorgungsspannung V_{DD} negativ in bezug auf «Masse bzw. Erde» (Erddpunkt 32) des Chips 10 ist, oder sie sind alle vom n-Kanal-Typ, wenn die Spannung V_{DD} positiv gegenüber Erde bzw. Masse ist.

Bei der nachfolgenden Beschreibung der Fig. 1 und 2 wird aus Zweckmässigkeitsgründen angenommen, dass p-Kanal-FETs benutzt werden, und der «Hochspannungs»-Punkt der Versorgungsspannung negativ in bezug auf Erde bzw. Masse ist. Die gezeigte Spannungsquelle ist aber auch funktionsfähig, wenn n-Kanal-FETs verwendet werden und der Anschluss der Versorgungsspannung positiv gegen Erde bzw. Masse ist.

In Figur 1 ist eine erste bevorzugte Ausführungsform der Schaltungsanordnung dargestellt. Die Schaltungsanordnung befindet sich bis auf den ohmschen Widerstand R1 auf demselben integrierten Schaltungsplättchen oder Chip 10, d.h. sie ist zusammen mit den Verbraucherschaltungen, wie 26 und 28, integriert. Die externe, unregelmässige Spannung V_{DD} wird einer Reihenschaltung aus folgenden Gliedern zugeführt: dem Widerstand R1, der zu dem Anschlusspunkt 30 auf dem Plättchen führt, und einer Kaskadenschaltung 12, die einen oberen Zweig 12a und einen unteren Zweig 12b enthält. Der obere Zweig 12a enthält zwei Transistoren vom Anreicherungstyp (MOS FETs oder einfach FETs) Q1 und Q2, die zu dem Verbindungspunkt 14 führen, wo der untere Zweig 12b beginnt.

Der untere Zweig 12b enthält neun Transistoren Q3 bis Q11 vom Verarmungstyp. Die Transistoren Q1 bis Q11 sind untereinander in ähnlicher Weise verbunden, d.h. das Source des in der Figur höher angeordneten Transistors ist mit dem Drain des in der Figur tiefer angeordneten Transistors verbunden. Das Source des Transistors Q11 ist zum Massepunkt 32 geführt, so dass die Transistoren Q1 bis Q11 eine Kaskade bilden. Weiter ist bei jedem der Transistoren Q1 und Q2 das Gate mit dem Drain verbunden, während bei den Transistoren Q3 bis Q11 das Gate jeweils mit dem entsprechenden Source verbunden ist. Auf diese Weise wird sichergestellt, dass beim Anlegen einer negativen Spannung an den Anschlusspunkt 30 die Transistoren Q1 und Q2 eingeschaltet werden. Der Spannungsabfall an Q1 und Q2 und somit die Spannung am Verbindungspunkt 14 kann, bedingt durch die Parameter des Halbleiterplättchen-Herstellungsverfahrens von Plättchen zu Plättchen schwanken. Für ein gegebenes Plättchen ist der Spannungsabfall an Q1 und an Q2 praktisch gleich und im wesentlichen gleich oder etwas grösser als die Schwellspannung der Anreicherungstyp-Transistoren auf dem gleichen Plättchen. Die Anschlussart von Q1 und Q2 entspricht einer «Diodenbetriebs-Verbindung».

Mit der beschriebenen Anschlussart ist auch sichergestellt, dass die Transistoren Q3 bis Q11 vom Verarmungstyp leiten und jeder Transistor eine quasiohmschen oder linearen Widerstand mit einem Wert im Bereich von 10^5 bis 10^8 Ohm bildet, wobei alle Transistoren auf einem gegebenen Plättchen etwa gleiche Widerstandswerte aufweisen. Die Verbindungspunkte zwischen benachbarten Verarmungstyp-Transistoren, wie die Verbindungspunkte 16-20, bilden Spannungsteiler-Abgriffspunkte mit ungefähr gleichen Spannungsabfällen.

Der Verbindungspunkt 22 (abgehende Leitung D) führt zum Gate des Anreicherungstyp-Transistors Q12, dessen Source geerdet und dessen Drain mit dem Anschlusspunkt 30 verbunden ist. Der Transistor Q12 wird als Spannungsregler- oder sogenannter «Nebenschlussregler» verwendet, der die Spannung am Anschlusspunkt 30 stabilisiert, auch wenn die

Versorgungsspannung V_{DD} schwankt. Die Verbraucherschaltungen 26 (von denen in Fig. 1 nur eine gezeigt ist) sind an die geregelte Spannung am Anschlusspunkt 30 angeschlossen. Wenn die Versorgungsspannung V_{DD} steigt oder fällt, zieht Q12 in Verbindung mit den Verbraucherschaltungen 26 mehr oder weniger Strom, und es ergibt sich eine Umverteilung des Stroms zwischen Q12 und den Verbraucherschaltungen mit dem Ergebnis, dass die Spannung am Anschlusspunkt 30 im wesentlichen konstant bleibt.

Zwischen dem Anschlusspunkt 30 und Masse ist ein Kondensator C1 geschaltet. Der Kondensator bildet einen Nebenschluss für Einschaltstromstösse oder Hochfrequenzströme, die von den Verbraucherschaltungen 26 erzeugt werden.

Die relative Reihenfolge der Anreicherungstyp-Transistoren Q1 und Q2 sowie der Verarmungstyp-Transistoren Q3 bis Q11 ist von gewisser Bedeutung. Wenn die Versorgungsspannung V_{DD} an das Plättchen angelegt wird, ist es erwünscht, dass die Verbraucherschaltungen sofort mit der Drain-Source-Spannung vom Anschlusspunkt 30 versorgt werden, und zwar bevor (nicht nachdem) ihnen die Steuerspannung zugeleitet wird, so dass beim nachfolgenden Zuleiten der Steuerspannung die ein- bzw. abzuschaltenden FETs auch tatsächlich ein- bzw. abgeschaltet werden.

Beim Anlegen der Versorgungsspannung V_{DD} ist eine endliche Zeit zum Einschalten der Anreicherungstyp-FETs Q1 sowie Q2 erforderlich und erst danach können an den Abgriffspunkten 16 bis 22 (abgehende Leitungen A bis D) Spannungen abgenommen werden, die als Gatespannungen für die Verbraucherschaltungen 26, 28 verwendbar sind. Die beschriebene Reihenfolge der Einschaltvorgänge wird dadurch sichergestellt, dass die Anreicherungstyp-Transistoren Q1 und Q2 in der Kaskade 12 «höher», d.h. der Versorgungsspannungszuleitung benachbart, und die Verarmungstyp-Transistoren Q3 bis Q11 in der Kaskade «niedriger», d.h. der Masseleitung benachbart, angeordnet werden.

Zur Beschreibung der Arbeitsweise der Schaltungsanordnung gemäss der Fig. 1 sei angenommen, dass die Schwellenspannung für die Anreicherungstyp-Transistoren eines bestimmten Halbleiterplättchens 10 bei dem höheren Extrem von 2,5 Volt liegt. In diesem Fall stellt sich die Gatespannung für Q12, d.h. an der Leitung D und dem Abgriffspunkt 22, ebenfalls auf 2,5 Volt und möglicherweise auf etwas mehr ein. Die folgenden Spannungswerte sind auf der Basis der Schwellenspannung angegeben, wobei darauf hinzuweisen ist, dass die Werte möglicherweise etwas grösser sind als hier nominell angegeben. Da der Zweig 12b neun Verarmungstyp-FETs (Q3 bis Q11) enthält, von denen die untersten zwei (Q10 und Q11) gemeinsam 2,5 Volt aufnehmen, folgt, dass die Spannung am Verbindungspunkt 14 genau $\frac{1}{2} \times 2,5$ Volt oder 1,25 Volt beträgt. Q1 und Q2 nehmen gemeinsam die zweifache Schwellenspannung für das Plättchen auf, d.h. $2 \times 2,5 = 5,0$ Volt. Somit ist die geregelte Spannung $V_{30} = 1,25 + 5,0 = 6,25$ Volt.

Wenn die unregelmässige Versorgungsspannung V_{DD} in Grenzen von beispielsweise $\pm 10\%$ schwankt, wird erwartet, dass der Nebenschlussreglertransistor Q12 die Spannung am Anschlusspunkt 30 regelt und auf dem Nennspannungspunkt von 6,25 Volt hält.

Es sei der Fall eines Halbleiterplättchens 10 betrachtet, für das die Einschaltspannung der Anreicherungstyp-FETs an dem niedrigen Extrem von beispielsweise 1,0 Volt liegt. Aus einem ähnlichen Satz von Abschätzungen ergeben sich für die Abgriffspunkte 22, 14 und 30 Spannungen von 1,0 Volt, 4,5 Volt bzw. 6,5 Volt, wobei diese 6,5 Volt auch bei Veränderungen der Versorgungsspannung V_{DD} im wesentlichen aufrechterhalten werden.

Der Wert von R1 ist von gewisser Bedeutung; er sollte vorzugsweise nicht so gross sein, dass er in den 10^5 bis 10^8 Ohm Bereich der quasiohmschen Verarmungstyp-FETs fällt. Er

sollte nicht so klein sein, dass die Regelwirkung am Anschlusspunkt 30 zunichte gemacht wird. Der Wert von R_1 hängt in gewisser Weise von der Nenngrösse der Versorgungsspannung V_{DD} ab. Nach vorliegenden Erfahrungen ist ein Widerstandswert im Bereich von etwa 10 000–50 000 Ohm besonders günstig. Weil Widerstände mit diesem Widerstandswert mit der gleichen Technik, mit der die Transistoren auf dem Plättchen hergestellt werden, nur schwierig zu erzeugen sind, sollte der Widerstand zweckmässigerweise als diskretes Element ausserhalb des Plättchens angeordnet werden.

Alternativ kann das Gate des Regeltransistors Q12 statt mit dem Abgriffpunkt 22 auch mit dem Abgriffpunkt 20 verbunden werden; diese Alternative ist in Fig. 2 dargestellt. Wenn wiederum eine 2,5 Volt Schwellenspannung für die Anreicherungstyp-Transistoren angenommen wird, betragen die Spannungen an den Abgriffpunkten 20, 14 und 30 je 2,5 Volt, 7,5 Volt bzw. die geregelte Spannung 12,5 Volt. Am anderen Extrem (1 Volt Schwellenspannung) betragen die Spannungen an den gleichen Abgriffpunkten 1 Volt, 3 Volt und 5 Volt. Die Wahl des Abgriffpunktes 22 oder des Abgriffpunktes 20 als Gatevorspannungsquelle für den Nebenschlussregeltransistor Q12 hängt in gewisser Weise von der Nenngrösse der Versorgungsspannung V_{DD} ab und beeinflusst deshalb auch die Wahl des Widerstands R_1 .

Obwohl die Schwellenspannungen der Anreicherungstyp-FETs auf einem gegebenen Plättchen 10 im wesentlichen gleich sind, arbeiten die FETs Q1 sowie Q2 einerseits und der Regeltransistor Q12 andererseits in ziemlich unterschiedlichen Betriebsarten. Die FETs Q1 und Q2 arbeiten wegen ihrer Drain-Gate-Verbindungen in einer Weise, die als «Diodenbetrieb» bezeichnet werden könnte, wobei diese Glieder einen nahezu konstanten und ihrer Einschaltspannung entsprechenden Spannungsabfall aufweisen und wobei der Spannungsabfall zwischen Drain und Source derselbe ist wie zwischen Gate und Source. Andererseits arbeitet der Nebenschlussregeltransistor Q12 in einer Trioden-Betriebsweise, in der – unter Vernachlässigung des Selbstregelvorganges – die Drain-Source-Spannung und der Drainstrom von der Gate-Source-Spannung beeinflusst sind. Darüber hinaus gilt für den Transistor Q12 der Triodenbetrieb für den Fall, wo die Drain-Source-Spannung die Gate-Source-Spannung wesentlich übersteigt.

Es darf angenommen werden, dass für ein gegebenes Plättchen 10 die verbleibenden Anreicherungstyp-FETs Q14 (Fig. 1) und Q15 (Fig. 2) elektrische Eigenschaften haben, die denjenigen der anderen Anreicherungstyp-FETs (Q1, Q2, Q12) ähnlich sind. Ihre Betriebsart unterscheidet sich wiederum von dem Diodenbetrieb von Q1, Q2 und von dem Triodenbetrieb von Q12. Der FET Q15 aus Fig. 2 arbeitet in einem sogenannten Schaltbetrieb, bei dem er im eingeschalteten Zustand zwischen dem Source und dem Drain einen Spannungsabfall von fast 0 Volt aufweist. Das bedeutet, die Gate-Source-Einschaltspannung übersteigt stark den Spannungsabfall von etwa 0 Volt zwischen dem Drain und dem Source. Wenn Q15 abgeschaltet wird – durch eine zu niedrige Gatespannung – kann der Drain-Source-Pfad als nahezu offen angesehen werden, so dass die Bezeichnung Schaltbetriebsart gerechtfertigt ist.

Schliesslich kann gemäss der obigen Beschreibung der Transistor Q14 unter normalen Bedingungen, d. h. wenn die Versorgungsspannung V_{DD} innerhalb normaler Grenzen liegt, als an der Grenze zwischen Schaltbetrieb und Triodenbetrieb angesehen werden. Der Transistor Q14 ist mit dem Verarmungs-FET Q13 in Serie geschaltet und diese Glieder arbeiten als logischer Inverter, der als typisch für gewisse andere logische Inverter auf dem Plättchen 10 angesehen werden kann.

In diesem Fall arbeitet die Verbraucherschaltung 28 mit den Gliedern Q13 und Q14 als ein Schwellendetektor in dem Sinne, dass das Ausgangssignal der Verbraucherschaltung 28, das ist das Potential an der Verbindungsstelle der Transistoren

Q13 und Q14, normalerweise sehr nahe bei 0 Volt liegt. Wenn dieses Ausgangssignal auf ein relativ hohes Potential ansteigt, das etwa der geregelten Spannung am Anschlusspunkt 30 entspricht, dann ist ein solches hochliegendes Potential eine Anzeige dafür, dass der Transistor Q14 abgeschaltet hat und sein Gatepotential unter sein Schwellenpotential gefallen ist, und es ist auch eine Anzeige dafür, dass die Versorgungsspannung V_{DD} und die geregelte Spannung am Anschlusspunkt 30 auf einen unannehmbar niedrigen Wert gefallen sind.

Das Gate des Anreicherungstyp-Transistoren Q14 ist über eine Leitung A mit dem Abgriffpunkt 16 im Zweig 12b der al Spannungsteiler wirkenden Kaskade 12 verbunden. Wenn es erwünscht ist, kann das Gate von Q14 auch mit der Leitung B bzw. dem Abgriffpunkt 18 verbunden werden. In jedem Fall befindet sich das Gate des Transistoren Q14 auf einem relativ hohen Potential. Wenn die geregelte Spannung am Anschlusspunkt 30 normalerweise 16,25 Volt beträgt, können Spannungen von 6,25 Volt und 5 Volt an den Abgriffpunkten 16 bzw. abgenommen werden. Wegen einer solch grossen Gatespannung zieht der Transistor Q14 einen relativ hohen Source-Drain-Strom von dem Anschlusspunkt 30 durch den quasiohmischen grossen Widerstand des Transistors Q13. Somit ist der Spannungsabfall am Transistor Q13 im wesentlichen gleich der geregelten Spannung am Anschlusspunkt 30 und der Spannungsabfall am Transistor Q14 im wesentlichen gleich Null. Wegen der relativen Gate-Source- und Drain-Source-Spannung arbeitet der Transistor Q14 normalerweise in einer dem Schaltbetrieb ähnlichen, tatsächlich aber dem Triodenbetrieb entsprechenden Betriebsweise.

Es sei angenommen, dass die Versorgungsspannung beispielsweise infolge irgendeiner Störung im Versorgungsnetz ausreichend absinkt (ohne ganz auszufallen), um die Spannungsregelung durch den Transistor Q12 zu verhindern. Dann ist die Gatevorspannung für den Transistor Q12 zu klein, um einen Leitungsvorgang im Transistor aufrechtzuerhalten. Es wird ferner angenommen, dass trotz Beendigung des Leitungsvorganges im Transistor Q12 die FETs Q1 und Q2 fortgesetzt leiten, weil die Spannung am Anschlusspunkt 30 nicht so klein ist, dass die FETs Q1 und Q2 abgeschaltet werden. Die Tatsache, dass die FETs Q1 und Q2 den Leitungsvorgang fortsetzen, auch wenn der Transistor Q12 nicht mehr leitet, ist wichtig bei der nachfolgenden Betrachtung des Bereitschaftsbetriebes unter Bezug auf Fig. 2. Schliesslich wird angenommen, dass trotz des Ausfallens des Transistors Q12 der FET Q14 noch leitet, da seine Gatevorspannung noch ausreichend hoch liegt, um den Leitungsvorgang aufrechtzuerhalten. Beim Übergang vom anfänglichen, normalen Wert der Versorgungsspannung zu ihrem angenommenen niedrigen Wert arbeitet der Transistor Q14 im Triodenbetrieb in dem Sinne, dass sein Drainstrom eine Funktion der veränderlichen Gatespannung ist. Wenn die Versorgungsspannung und somit auch die Spannung am Anschlusspunkt 30 noch weiter fallen, bis die Spannung am Abgriffpunkt 16 unter der Schwellenspannung für den Transistor Q14 liegt, hört dieser Transistor auf zu leiten und bei noch leitendem Transistor Q13 steigt die Ausgangsspannung etwa auf den Wert der Spannung am Anschlusspunkt 30, was einer Schwellenwerterfassung entspricht.

In Fig. 2 ist eine andere Ausführungsform der neuen Schaltungsanordnung mit Transistoren Q1 bis Q12 gezeigt, bei der das Gate des Transistors Q12 mit dem Abgriffpunkt 20 der Kaskade 12 verbunden ist. Die primäre Versorgungsquelle für die Schaltungsanordnung ist eine Wechsellspannungsquelle 112, weshalb zwischen dem hochliegenden Spannungspunkt des Kondensators C1 und dem Widerstand R_1 eine Gleichrichterdiode D3 eingefügt ist. Der Anschlusspunkt 30 für die geregelte Spannung ist auch mit N bezeichnet, um die Tatsache anzugeben, dass die Spannung am Punkt 30 in bezug auf Masse negativ ist. Entsprechend ist der Massenanschluss 32 in Fig. 2

zusätzlich mit P und die geregelte Spannung zwischen den Anschlusspunkten 32 und 30 ist mit $-V_{NP}$ bezeichnet. Der Kondensator C1 hat bei dieser Ausführungsform nicht nur die Aufgabe, Wechsellspannungskomponenten auszufiltern, sondern zusätzlich die Funktion, die gleichgerichtete Spannung zu glätten und zu halten.

Zusätzlich zur Wechsellspannungsquelle 112 ist eine, einen Teil einer Bereitschaftsschaltung bildende Batterie 114 vorgesehen, die über eine Induktivität L1 und eine Diode D2 parallel zum Kondensator C1 angeschlossen ist. Wenn die Wechsellspannungsquelle 112 ausfällt, kann von der Batterie 114 über die Induktivität L1 und die Diode D2 eine negative Spannung zum Anschlusspunkt 30 geliefert werden. Die Diode D2 ist nichtleitend, solange die Wechsellspannungsquelle 112 normal arbeitet. Es ist noch eine andere Diode D1 vorgesehen, deren Funktion später erläutert wird. Die Anode der Diode D1, die Kathode der Diode D2 und das von der Batterie 114 abgelegene Ende der Induktivität L1 sind in einem Verbindungspunkt S miteinander verbunden. Die Spannung an dem Punkt S wird nachfolgend mit V_S bezeichnet. Die Dioden D1 bis D3 sind diskrete, d.h. nicht in das Plättchen 10 integrierte Elemente und können beispielsweise Germaniumdioden sein. Es ist darauf hinzuweisen, dass dann, wenn diese Bereitschaftsschaltung nicht erforderlich ist, die Positionen des Widerstandes R1 und der Diode D3 ausgetauscht werden können.

Der auf dem Plättchen integrierte Teil der Bereitschaftsschaltung enthält eine bistabile Verriegelungsschaltung 116, einen NAND-Tor 120, einen Impulsfolgegenerator 122 und den Anreicherungstyp-Transistor Q15. Die Verriegelungsschaltung 116 enthält ihrerseits NAND-Tore 117 sowie 118 und einen Inverter 119. Die NAND-Tore 117, 118 und 120 nehmen einen Zustand an, der als binärer «1»-Zustand bezeichnet wird, wenn die beiden Eingänge positiv sind. In diesem Fall ist die Ausgangsgrösse der NAND-Tore negativ. Für alle anderen Zustandskombinationen der Eingangssignale befinden sich die NAND-Tore im binären «0»-Zustand und das Ausgangspotential ist positiv. Normalerweise, also wenn die Wechselstromquelle 112 normal arbeitet, befindet sich das NAND-Tor 120 im binären «0»-Zustand, so dass dem Gate des Transistors Q15 die Eingangssignale des NAND-Tors 120 zugeleitet werden. Das Gate weist dann ein ausreichend positives Potential in bezug auf das mit Masse verbundene Source auf, weshalb der Transistor Q15 normalerweise nichtleitend ist. Das Drain des Transistors Q15 ist mit dem Verbindungspunkt S verbunden.

Das NAND-Tor 117 ist mit dem als Abgriffspunkt VR1 der als Spannungsteiler wirksamen Kaskade 12 verbunden. Unter normalen Betriebsbedingungen ist die Spannung am Abgriffspunkt VR1 ausreichend gross, um sicherzustellen, dass sich das Tor 117 in seinem binären «0»-Zustand befindet. Dann ist das Ausgangssignal des Tors 117 positiv. Dieses Ausgangssignal dient als ein Eingangssignal für das NAND-Tor 118. Da das zweite Eingangssignal des Tors 118 unter normalen Betriebsbedingungen auch positiv ist, befindet sich das Tor 118 in seinem binären «1»-Zustand. Von der Verbindungsstelle VR2 zwischen den Gliedern Q6 und Q7 der Kaskade 12 wird ein zweites Referenztypsignal abgenommen und dem Inverter 119 als Eingangssignal zugeführt. Dieses Signal ist normalerweise negativ, so dass das invertierte Ausgangssignal des Inverters 119 normalerweise positiv ist und das NAND-Tor 118 in seinem binären «1»-Zustand geschaltet ist. Das Ausgangssignal des Tors 118 wird als zweites Eingangssignal an das NAND-Tor 117 geführt, das im binären «0»-Zustand verbleibt. Das positive Ausgangssignal des Tors 118 wird auch als Eingangssignal an das NAND-Tor 120 geleitet und bringt dieses in den binären «0»-Zustand, in dem das Weiterleiten des Ausgangssignals vom dem Impulsfolgegenerator 122 zum Gate des Transistors Q15 unterbrochen ist.

Der Zustandsübergang der Verriegelungsschaltung 116,

d.h. der Zustandsübergang der NAND-Tore 117 und 118, wird am besten mit Hilfe der Figur 3 erläutert. In dieser Figur ist der normale Pegel der Spannung am Anschlusspunkt 30 durch die mit $-V_{NP}$ bezeichnete horizontale Linie angegeben. Bei diesem Pegel sind die Referenzspannungen von den Abgriffspunkten VR1 und VR2 ausreichend negativ, um die Verriegelungsschaltung in den soeben beschriebenen Zustand zu bringen. Es sei nun angenommen, dass die Spannung am Anschlusspunkt 30 abnimmt, und zwar bis zum Pegel, der in Fig. 3 durch die horizontale Einschwellenwertlinie 124 bezeichnet ist. Das bedeutet, dass die Spannung an den Abgriffspunkten VR1 und VR2 relativ zur Spannung am Anschlusspunkt 30 positiv wurde. Die Tatsache, dass die Spannung bei VR1 nunmehr relativ positiv ist, würde allein nicht ausreichen, den Zustand des Tors 117 vom binären «0»- zum binären «1»-Zustand zu bringen, da sein anderer Eingang das Tor 117 fortgesetzt im binären «0»-Zustand hält, solange kein Zustandswechsel des Ausgangssignals des Tors 118 vorliegt. Deshalb ist für das Umschalten des Tors 117 der Wechsel der Spannung bei VR2 zu relativ positiven Werten bestimmend, wobei der relativ positive Wert vom Inverter 119 invertiert und das Tor 118 in seinem binären «0»-Zustand gebracht und dadurch das Tor 117 in seinem binären «1»-Zustand überführt wird und den binären «0»-Zustand des Tors 118 bestärkt.

Wenn das Tor 118 in seinen binären «0»-Zustand überführt ist, wird sein Ausgang positiv und somit das Tor 120 durchgeschaltet. Der Impulsgenerator 122 arbeitet bei etwa 3 KHz und hat ein Tastverhältnis mit etwa 80%, d.h. während 80% jeder Periode erscheint eine positive und während 20% eine negative Spannung am Ausgang. Wenn das Tor 120 durch den binären «1»-Zustand des Tors 118 in den Durchlasszustand geschaltet wird, erscheinen die 80% positiver Signale der Impulsfolge vom Generator 122 als negative Signale am Ausgang des Tors 120. Diese negativen Signale steuern den Transistor Q15. Der Einfluss der Leitung des Transistors Q15 auf den Bereitstellungsbetrieb wird nachfolgend näher erläutert.

Zurückkommend auf den zuletzt beschriebenen Zustandsübergang der Schaltung 116 sei weiter angenommen, dass die Spannung $-V_{NP}$ am Anschlusspunkt 30 wieder zunimmt, was bedeutet, dass die Spannung an den Abgriffspunkten VR1 und VR2 ebenfalls wieder ansteigen, d.h. weniger positiv wird. Dementsprechend wird der invertierte Ausgang des Inverters 119 relativ positiv, was jedoch allein noch nicht ausreicht, um das Tor 118 in seinen binären «1»-Zustand zurückzuführen, da sein anderer Eingang noch negativ ist. Um eine Umkehrung der Verriegelungsschaltung 116 in den normalen Zustand zu bewirken, muss die Spannung bei VR1 ausreichend negativ werden, was bedeutet, dass für diese Umkehrung die Spannung bei VR1 massgeblicher ist. Die Umkehrung bzw. das Umschalten erfolgt, wenn die Spannung am Anschlusspunkt 30 den Ausschwellenwert erreicht, der in Fig. 3 durch die gestrichelte horizontale Linie 123 angegeben ist. Solange die Spannung $-V_{NP}$ innerhalb der Grenzen zwischen den Linien 123 und 124 liegt, verbleibt die Verriegelungsschaltung 116 immer im vorgängig eingestellten Zustand. Die Verriegelungsschaltung 116 besitzt damit einen Hysteresebereich, der von den Spannungen entsprechend den Linien 123 begrenzt ist.

Zur Beschreibung des Betriebs der Bereitschaftsschaltung sei daran erinnert, dass sich in einer induktiven Schaltung bei einem abrupten Schaltvorgang der durch die Induktivität fließende Strom nicht abrupt ändert, während eine abrupte Änderung der Spannung an der Induktivität erfolgen kann. Das bedeutet für die beschriebene Schaltung, dass bei einer Schaltungszustandsänderung des Transistors Q15 vom leitenden zum nichtleitenden Zustand und umgekehrt nur die Spannung V_S aber nicht der Strom durch die Induktivität L1 abrupt geändert wird. Entsprechend gilt, dass bei einer kapazitiven Schaltung abrupte Schaltvorgänge nicht die Spannung am Kondensator

sator, wohl aber der Lade- oder Entladestrom sprunghaft geändert werden kann.

Bei dem in Fig. 3 gezeigten Spannungsverlauf ist angenommen, dass während des Zeitintervalls vom Zeitpunkt t_0 bis zum Zeitpunkt t_1 normale Bedingungen vorherrschen. Bei solchen normalen Bedingungen hat die Spannung am Anschlusspunkt 30 ihren normalen Anfangswert; der Transistor Q15 ist nichtleitend; die Dioden D1 und D2 sind gesperrt; es fließt kein Strom durch die Induktivität L1; die Batterie 114 liefert keinen Strom und dementsprechend ist die Spannung am Anschlusspunkt 30 gleich der Batteriespannung V_{114} .

Es sei angenommen, dass zum Zeitpunkt t_1 die Wechselstromquelle 112 ausfällt. Dann entlädt sich der Kondensator C1 relativ langsam über die Verbraucherschaltungen 26, 27 des Plättchens 10 und die Spannung am Anschlusspunkt 30 sinkt ab, wie es in Fig. 3 durch die Teillinien 126a und 126b dargestellt ist, die anstelle einer durchgehenden Kurve gezeichnet sind. Wenn die Spannung am Anschlusspunkt 30 fällt, wird der Regeltransistor Q12 abgeschaltet. Die als Spannungsteiler wirksame Kaskade 12 ist weiter funktionsfähig, jedoch mit verminderten Spannungen an den Abgriffspunkten. Auch die auf den Plättchen befindlichen Verbraucherschaltungen arbeiten bei verminderter Spannung weiter. Aus Fig. 3 ist ersichtlich, dass die geregelte Spannung $-V_{NP}$ zum Zeitpunkt t_1 bis zum Pegel 123 abfällt, ohne dass die Verriegelungsschaltung 116 aus den zuvor genannten Gründen ihren Zustand ändert. Der Gleichstrom-Gleichstrom-Konverter ist dann noch nicht aktiv. Fällt die geregelte Spannung weiter, dann erreicht sie zum Zeitpunkt t_2 den Pegel 124 der Einschaltsschwelle. Bei diesem Pegel erfolgt die beschriebene Zustandsänderung der Verriegelungsschaltung 116, so dass das Tor 12 in den leitfähigen Zustand geschaltet wird.

Während des Zeitintervalls von t_2 bis t_3 steigt dann der Wert der geregelten Spannung vom Pegel 124 auf Pegel 123, und zwar im Mittel längs der Teillinie 128 in Fig. 3. Während dieses Zeitintervalls treten viele, beispielsweise zwanzig oder mehr Zyklen der vom Generator 122 erzeugten Impulse auf, die vom nunmehr aufgetasteten Tor 120 weitergeleitet werden.

Wenn das Tor 120 zum Zeitpunkt t_2 aufgetastet wird, wird der Transistor Q15 in den leitenden Zustand geschaltet und bildet praktisch einen Kurzschluss, so dass die Spannung am Verbindungspunkt S abrupt nahezu bis auf Massepotential fällt. Der Strom von der Batterie 114, der gerade von t_1 den Wert Null hatte, verbleibt auf dem Wert, um danach etwa zeitlinear anzusteigen. Der Strom fließt durch die Induktivität L1 und durch den Source-Drain-Pfad des Transistors Q15 bis das Tor 120 wieder sperrt. Weil der Transistor Q15 nur während einer kurzen Zeitspanne den Strom leitet, darf angenommen werden, dass die Spannung am Anschlusspunkt 30 unverändert bleibt, obwohl sie mindestens theoretisch um einen kleinen Betrag abnimmt.

Wenn das Ausgangssignal des Generators 122 negativ ist, wird das Tor 120 gesperrt und die Stromleitung durch den Transistor Q15 unterbrochen. Weil der Strom durch die Induktivität L1 nicht abrupt unterbrochen werden kann, fließt ein Reststrom durch die Diode D2 und ladet den Kondensator C1, wobei dessen Spannung auf einen höheren als zum Zeitpunkt t_2 ansteigt. Da sich die Spannung am Kondensator nicht sprunghaft ändert, ändert sich die Spannung am Verbindungspunkt S auf einen Wert, der sich von der Spannung am Kondensator und am Anschlusspunkt 30 nur durch den Spannungsabfall der Diode D2 unterscheidet. Dieser Unterschied bleibt bestehen, während sich der Kondensator C1 infolge des (abklingenden) Stromflusses durch die Induktivität L1 auf ein höheres Potential auflädt.

Die Zeitkonstanten der Bereitschaftsschaltung sind derart, dass das Abklingen des Stroms durch die Induktivität L1 und somit das Aufladen des Kondensators C1 beendet sind, bevor

das negative Ausgangssignal des Generators 122 endet. Wer der Strom durch die Induktivität L1 auf Null reduziert wird, stellt sich am Verbindungspunkt S wieder das Batteriepotential V_{114} ein und die Diode D2 wird wiederum nichtleitend. Die Spannung am Verbindungspunkt S geht jedoch nicht sofort auf den Wert V_{114} zurück, und zwar wegen des Einflusses der Kapazität der Induktivität L1 und wegen Schaltungsstreukapazitäten. Somit erfolgt die Änderung der Spannung am Verbindungspunkt S auf den Wert V_{114} in einer gedämpften Schwingung, während die Spannung auch positiv in bezug auf Masse werden kann. Die Diode D1 ist als Klemmdiode vorgesehen, die verhindert, dass eine solche positive Spannung nicht den Spannungsabfall über der Diode D1 überschreitet.

Während der soeben erwähnten ersten Periode mit negativem Ausgangssignal am Generator 122 nach t_2 und nach dem Aussetzen des Ladestroms durch die Induktivität L1 zum Verbindungspunkt S wird von den Verbraucherschaltungen auf dem Plättchen 10 Strom aufgenommen. Da die negativen und die positiven Intervalle der Impulse vom Generator 122 relativ kurz sind, behält der Verbindungspunkt S den neuen höheren Spannungswert auch während des übrigen Teils der ersten negativen Periode und dann der zweiten positiven Periode t_2 bei. Während der zweiten Periode ergibt sich eine Wiederholung der Vorgänge der ersten Perioden, jedoch mit dem Unterschied, dass die Spannung am Verbindungspunkt S einen noch höheren Wert annimmt. Obwohl das Aufbauen dieser Spannung mit zunehmendem Wert während jeder negativen Periode tatsächlich stufenartig geschieht, erfolgt die Steigerung im Mittel monoton, wie es durch den graphischen Teil 1 in Fig. 3 dargestellt ist.

Das Ansteigen der Spannung am Verbindungspunkt 30 dauert an bis wieder der Pegel 123 zum Zeitpunkt t_3 erreicht ist und die Verriegelungsschaltung 116 in ihren normalen Zustand zurückkehrt. Demzufolge nimmt während des Zeitintervalls zwischen t_3 und t_4 diese Spannung wiederum bis zum Pegel 123 ab, und zwar im wesentlichen in derselben Weise wie während des Zeitintervalls von t_1 bis t_2 . Beginnend bei t_4 ergibt sich eine zyklische Wiederholung der Vorgänge, die während des Zeitintervalls zwischen t_2 bis t_3 erfolgt sind. Somit verändert sich die Spannung am Verbindungspunkt 30 sägezahnförmig, wobei der maximale Pegel von der Linie 123 und der minimalen Pegel von der Linie 124 bestimmt werden.

Die Arbeitsweise der Bereitschaftsschaltung entspricht somit einem Gleichstrom-Gleichstrom-Konverter, der für das Hochtransformieren der Batteriespannung sorgt. Wegen des beschriebenen Vorganges während der positiven und der negativen Perioden des Impulsgenerators arbeitet der Gleichstrom-Gleichstrom-Konverter als ein sogenannter Rücklauf-Konverter. Auf diese Weise wird der Stromfluss der Batterie 114 verringert und dadurch die Batterielebensdauer verlängert. Die Bereitschaftsschaltung setzt ihren Betrieb solange fort, bis die Leistung von der primären Quelle 112 wiederhergestellt ist. In einer praktischen Ausführungsform der beschriebenen Schaltung hat sich gezeigt, dass eine Einzelladenbatterie mit einer Nennspannung von 1,5 Volt ausreicht.

Die Pegel 123 und 124 sind so gewählt, dass die Verbraucherschaltungen auf dem Plättchen 10 auch beim Ausfall der Spannungsquelle 112 ihren Betrieb in zufriedenstellender Weise fortsetzen. Der Impulsgenerator 122 und die Glieder 1 bis 120 sind vorzugsweise auf dem Plättchen angeordnet und der gleichen Technik wie die Verbraucherschaltungen ausgebildet. Die Frequenz und das Tastverhältnis des Generators 1 sind auch bei Betriebsbedingungen mit einer kleineren Bereitschaftsversorgungsspannung relativ stabil, insbesondere wenn der Impulsgenerator 122 direkt oder indirekt von einem kristallgesteuerten Oszillator betrieben wird, der eine stabile Frequenz hat. Einfacherweise arbeitet der Impulsgenerator 122 auch unter normalen Bedingungen, also wenn die primäre Le-

tung von der Wechselstromquelle 112 abgeleitet wird. Das ist jedoch nicht notwendig. Wenn erwünscht, kann der Generator 122 selbstschwingend ausgebildet und nur bei einem weitgehenden Abfallen der Spannung am Verbindungspunkt S erzeugt werden. Ein derartiges selbstschwingendes Glied ist bezüglich der Frequenz und des Tastverhältnisses nicht so stabil wie ein Generator mit Kristallsteuerung.

Anschliessend sei darauf hingewiesen, dass durch den

beschriebenen Aufbau der als Spannungsteiler wirksamen Kaskade 12 und durch die Steuerung der Verriegelungsschaltung 116 mit den Signalen an den Abgriffspunkten VR1 und VR2 die Grösse der Spannung am Verbindungspunkt 30 sowohl beim Betrieb der Bereitschaftsschaltung als auch beim Betrieb mit der Wechsellspannungsquelle auf die speziellen Bedingungen der Schaltungen auf dem Plättchen abgestimmt ist, was aus den in der Beschreibungseinleitung angegebenen Gründen ein wünschenswertes Merkmal ist.

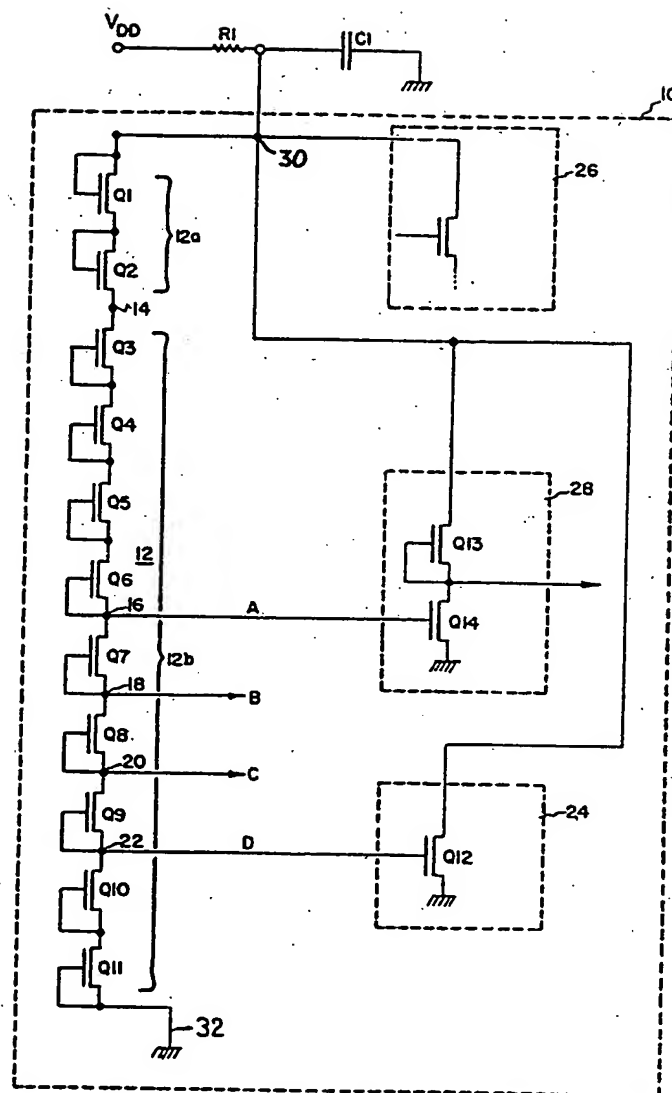


Fig. 1

Fig. 2

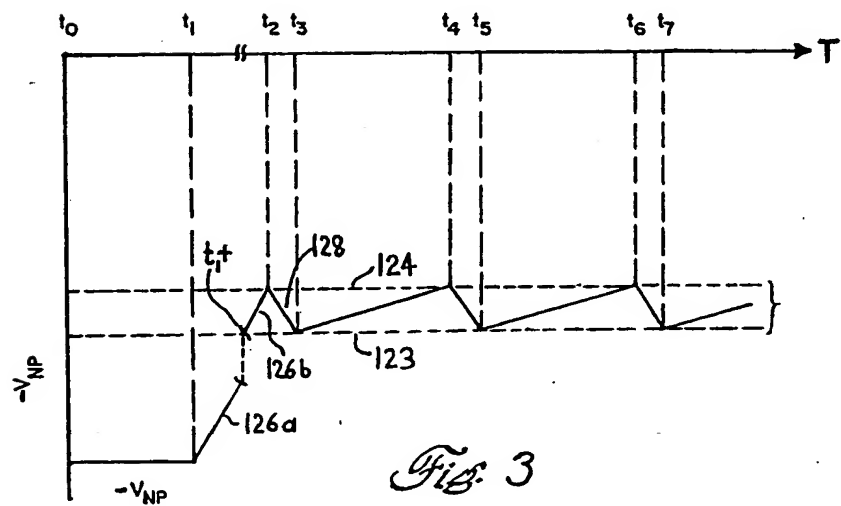
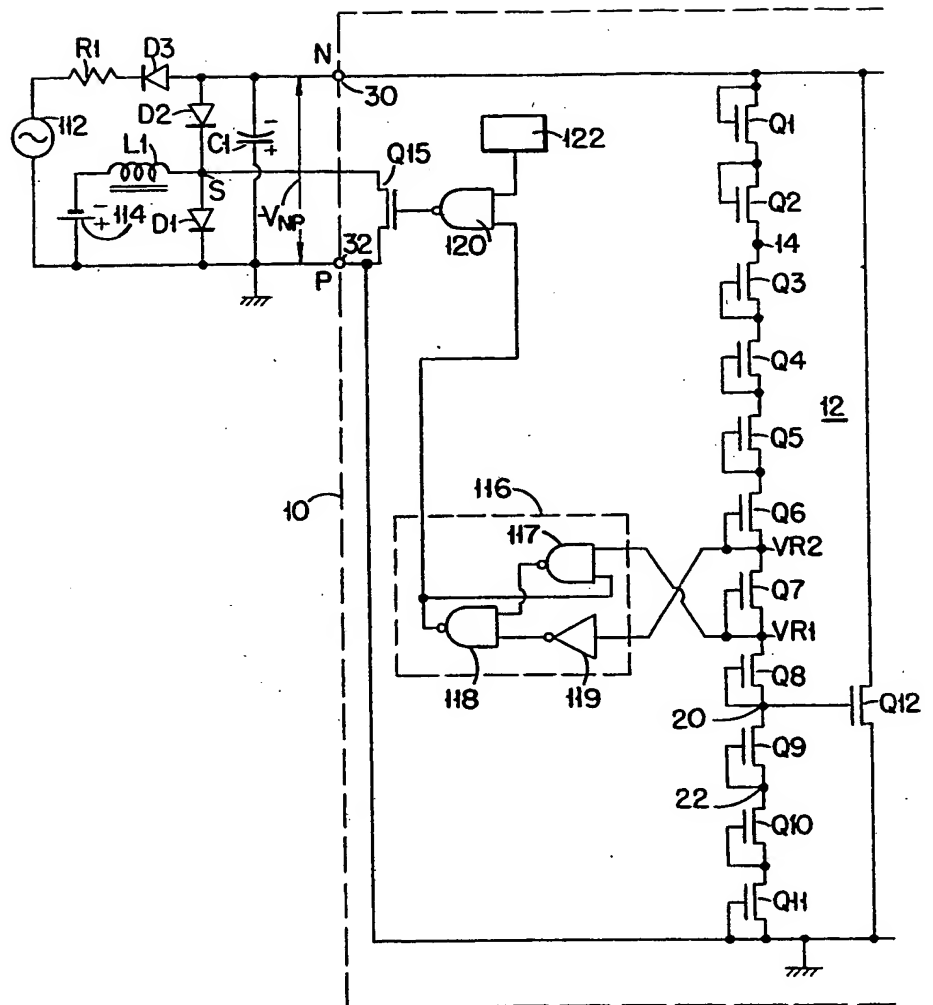


Fig. 3